



Patent

Customer No. 31561
Application No.: 10/605,401
Docket No. 10587-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Wu et al.
Application No. : 10/605,401
Filed : September 29, 2003
For : METHOD OF FORMING BIT LINES AND BIT LINE
CONTACTS IN A MEMORY DEVICE
Examiner :
Art Unit : 2818

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:
092124834, filed on: 2003/09/09.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Feb. 17, 2004

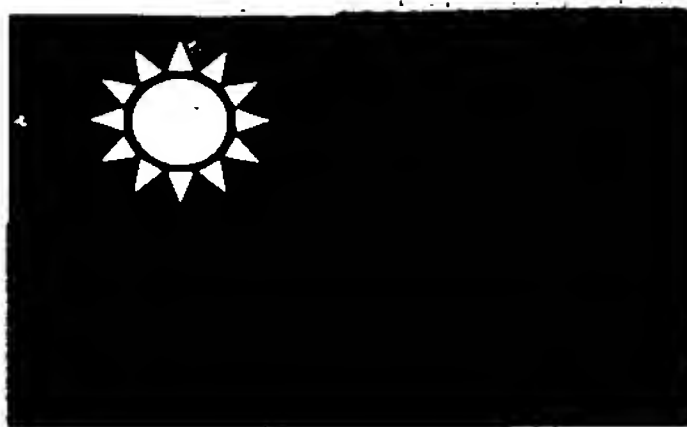
By:

Belinda Lee

Belinda Lee

Registration No.: 46,863

Please send future correspondence to:
7F.-1, No. 100, Roosevelt Rd.,
Sec. 2, Taipei 100, Taiwan, R.O.C.
Tel: 886-2-2369 2800
Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 09 日
Application Date

申請案號：092124834
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 1 月 16 日
Issue Date

發文字號：09320052510
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	記憶體元件之位元線與位元線接觸窗的製造方法
	英 文	METHOD OF FORMING BIT LINES AND BIT LINE CONTACTS IN A MEMORY DEVICE
二、 發明人 (共2人)	姓 名 (中文)	1. 吳國堅 2. 陳逸男
	姓 名 (英文)	1. Kuo-Chien Wu 2. Yi-Nan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 苗栗市中苗里中正路547號 2. 台北市北投區建民路151巷4號
	住居所 (英文)	1. No. 547, Jungjeng Rd., Miaoli City, Taiwan 360, R.O.C. 2. No. 4, Lane 151, Jianmin Rd., Beitou District, Taipei City 112, Taiwan R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. NANYA TECHNOLOGY CORPORATION
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. HWA-YA TECHNOLOGY PARK 669, FUHSING 3 RD. KUEISHAN, TAOYUAN, TAIWAN, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



四、中文發明摘要 (發明名稱：記憶體元件之位元線與位元線接觸窗的製造方法)

一種記憶體元件之位元線與位元線接觸窗的製造方法，此方法係先於基底上形成導電層，並覆蓋閘極結構，之後以化學機械研磨法研磨導電層，直到閘極結構之頂蓋層暴露出來。隨後，移除部分導電層，而保留下其中二相鄰閘極結構之間的導電層，以形成位元線接觸窗。接著，於基底之上方形形成位元線，其中位元線係與位元線接觸窗電性接觸。在本發明中，由於所形成之位元線接觸窗尺寸較小，因此可以改善位元線接觸窗與鄰近的位元線會產生短路之問題。

伍、(一)、本案代表圖為：第___ 3I_____圖

(二)、本案代表圖之元件代表符號簡單說明：

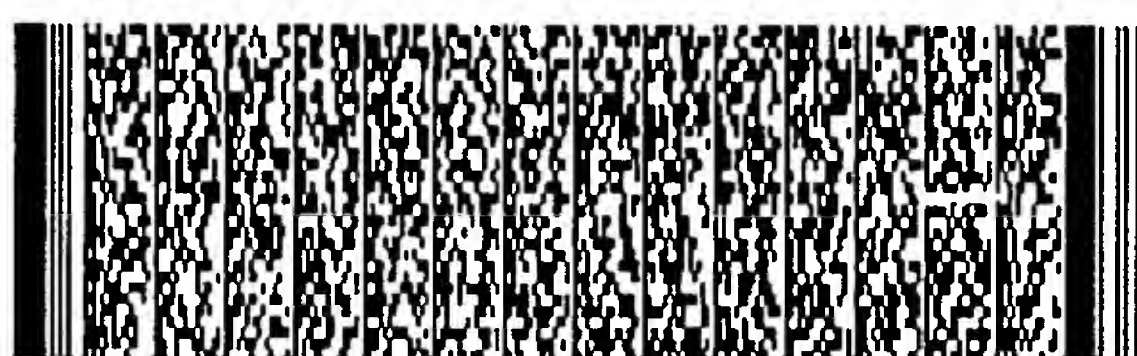
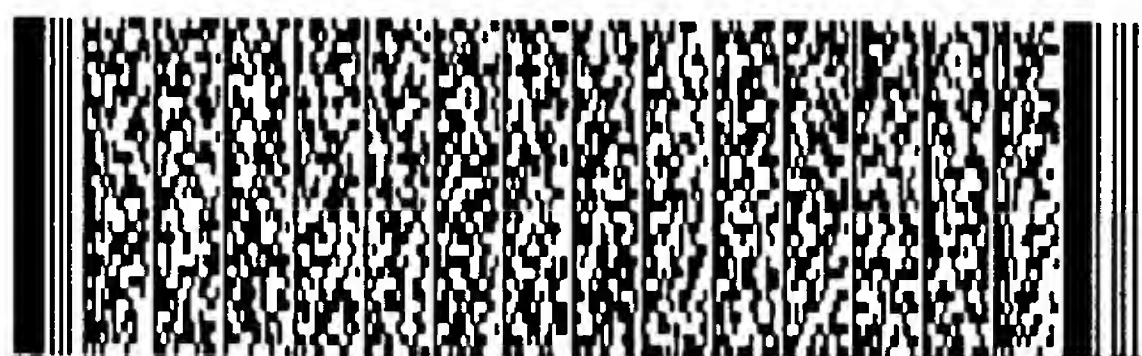
200：基底

202：閘介電層

204：閘極導電層

六、英文發明摘要 (發明名稱：METHOD OF FORMING BIT LINES AND BIT LINE CONTACTS IN A MEMORY DEVICE)

A method of forming bit lines and bit line contacts in a memory device is described. A conductive layer is formed on a substrate covering gate structures. A CMP process is performed to polish the conductive layer until the cap layer of the gate structures is exposed. Then, removing a portion of the conductive layer and remaining the conductive layer between two of the gate



四、中文發明摘要 (發明名稱：記憶體元件之位元線與位元線接觸窗的製造方法)

206 : 頂蓋層

208 : 閘極結構

210 : 間隙壁

218 : 介電層

216a : 位元線接觸窗

226 : 位元線

212a : 阻障層

220a : 終止層

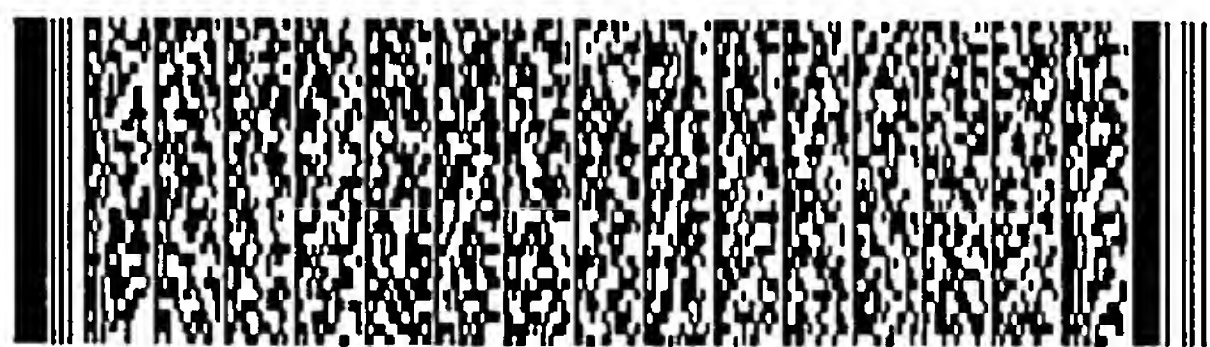
228 : 接觸窗

230 : 記憶胞區

240 : 周邊電路區

六、英文發明摘要 (發明名稱：METHOD OF FORMING BIT LINES AND BIT LINE CONTACTS IN A MEMORY DEVICE)

structures, and a bit line contact is formed. Bit lines are formed above the substrate, wherein one of the bit lines is electrically connected with the bit line contact. Since the bit line contact is smaller, the short issue between the bit line contact and the bit line adjacent to the bit line contact can be improved.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

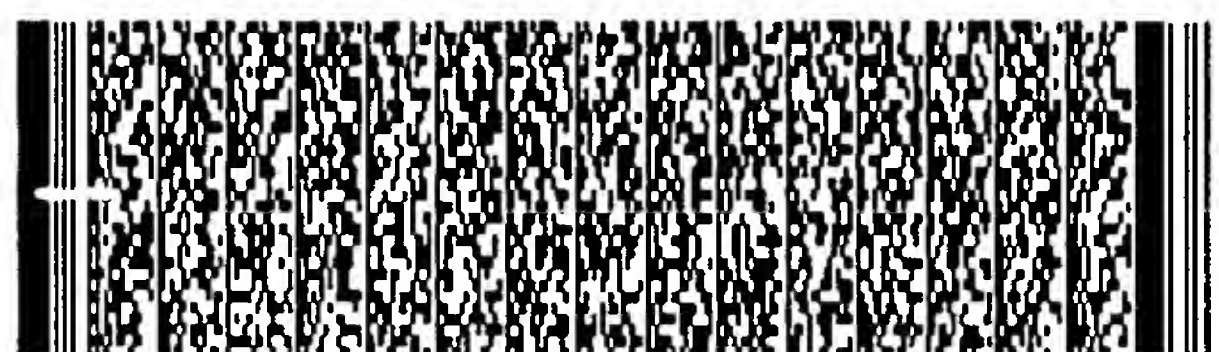
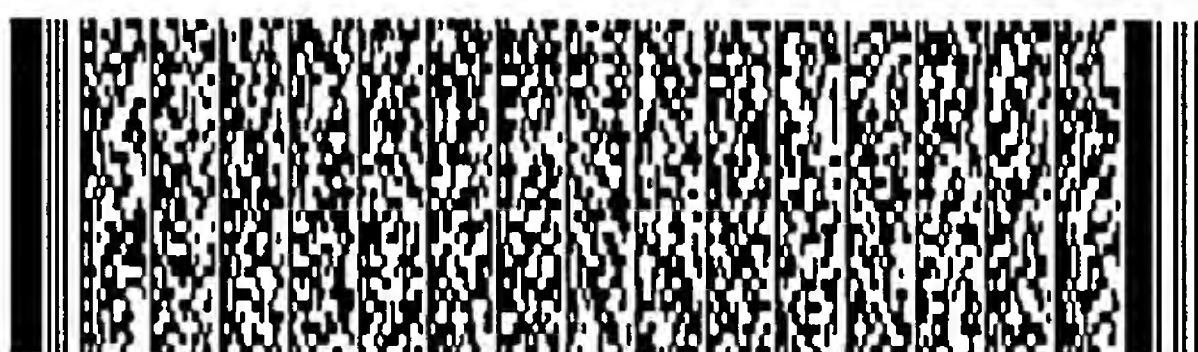
本發明是有關於一種半導體元件的製造方法，且特別是有關於一種動態隨機存取記憶體之位元線與位元線接觸窗的製造方法。

先前技術

記憶體，顧名思義便是用以儲存資料或數據的半導體元件。在數位資料的儲存上，我們通常習慣以位元(Bit)來表示記憶體的容量。記憶體內每個用以儲存資料的單元則稱為記憶胞(Cell)。而記憶胞在記憶體內，得以陣列的方式排列，每一個行與列的組合代表一個特定的記憶胞位址。其中，列於同行或是同列的數個記憶胞係以共同的導線加以串接。而動態隨機存取記憶體是一種利用電容器之帶電荷及不帶電荷來儲存二進位資料的記憶體元件。一個電容器代表一記憶位元，對於其儲存之二進位資料「0」或「1」分別代表電容器「帶電荷」或「不帶電荷」的狀態。同樣的，在動態隨機存取記憶體中同行或是同列的數個記憶胞也是以共同的導線加以串接，其中將相同一行(或相同一列)之記憶胞串接的導電稱為字元線，而與數據之傳輸有關的導線稱為位元線。

第1圖所示，其繪示為習知動態隨機存取記憶體元件中位元線與位元線接觸窗的剖面示意圖。

請參照第1圖，習知記憶體元件包括配置在一基底100上之數個閘極結構108，其中每一閘極結構108具有一閘介電層102、一閘極導電層104以及一頂蓋層106。且在閘極



五、發明說明 (2)

結構108之側壁還形成有間隙壁110。在基底100上係配置有一介電層112，覆蓋閘極結構108，且在介電層112中係形成有一位元線接觸窗114。其中，此位元線接觸窗114一般是以自行對準接觸窗製程所形成的。而在介電層112上則形成有一位元線116，其中位元線116係與位元線接觸窗114電性接觸。

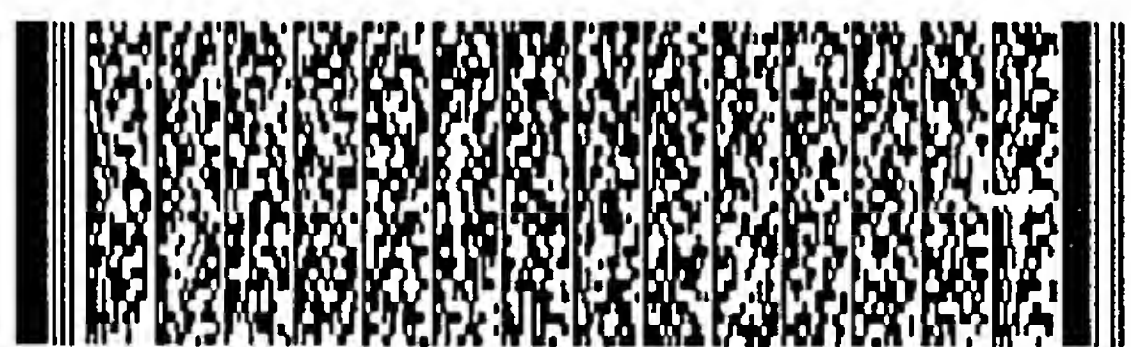
由於習知記憶體元件之位元線接觸窗114是以自行對準接觸窗製程所形成的，因此位元線接觸窗114之頂部面積通常會較為寬大。

請參照第2圖，其係為第1圖之上視圖，位元線116係橫跨於閘極結構108之上方，而位元線接觸窗114係位於位元線116底下之相鄰二閘極結構108之間。由於位元線接觸窗114之尺寸較大，因此位元線接觸窗114與位元線116之間的距離"a"會小於兩位元線116之間的距離"b"。倘若製程有些許變異而造成偏移，就容易造成位元線接觸窗114與鄰近的位元線116短路。

發明內容

因此本發明的目的就是提供一種記憶體元件之位元線與位元線接觸窗的製造方法，以解決習知位元線接觸窗容易與鄰近的位元線產生短路之問題。

本發明提出一種記憶體元件之位元線與位元線接觸窗的製造方法，此方法係首先提供一基底，其中基底上已形成有數個閘極結構，且每一閘極結構具有一閘介電層、一閘極導電層、一頂蓋層，而且每一閘極結構之側壁還包括



五、發明說明 (3)

形成有一間隙壁。接著在基底上形成一阻障層，覆蓋閘極結構，之後移除其中二閘極結構之間之阻障層，以使該處之基底暴露出來。隨後，於基底上沈積一層導電層，覆蓋閘極結構，其中導電層之材質例如是經摻雜之多晶矽。之後以化學機械研磨法平坦化此導電層，直到閘極結構之頂蓋層暴露出來。然後，將部分導電層移除，而保留下其中二閘極結構之間之導電層，以形成一位元線接觸窗。接觸窗，於基底上形成一介電層，覆蓋閘極結構，之後平坦化此介電層，直到閘極結構之頂蓋層暴露出來。隨後，於基底之上方形成一終止層，覆蓋介電層與閘極結構，並暴露出位元線接觸窗。之後，於終止層上形成一第一介電層，並於第一介電層中形成一溝渠，此溝渠係暴露出位元線接觸窗。然後，於溝渠內填入導電材料層，以形成一位元線。其中，位元線係與位元線接觸窗電性連接，而且所形成之位元線接觸窗之尺寸係與位元線之寬度相當。

本發明提出一種記憶體元件的製造方法，此方法係首先提供一基底，其中基底具有一記憶胞區以及一周邊電路區。接著，在記憶區中形成數個閘極結構，其中每一閘極結構具有一閘介電層、一閘極導電層、一頂蓋層，且於閘極結構之側壁還形成有一間隙壁。之後在基底上形成一阻障層，覆蓋閘極結構，然後移除其中二閘極結構之間之阻障層，以使該處之基底暴露出來。隨後，於基底上沈積一層導電層，覆蓋閘極結構，其中導電層之材質例如是經摻雜之多晶矽。之後以化學機械研磨法平坦化此導電層，直



五、發明說明 (4)

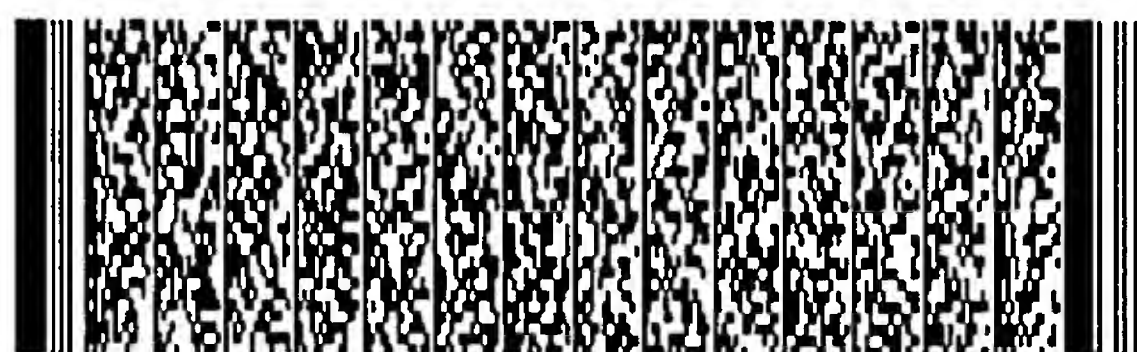
到閘極結構之頂蓋層暴露出來。接續，將部分導電層移除，而保留下其中二閘極結構之間之導電層，以形成一位元線接觸窗。之後，於基底上形成一介電層，覆蓋閘極結構，然後再平坦化此介電層，直到閘極結構之頂蓋層暴露出來。接著，於基底上形成一終止層，覆蓋介電層與閘極介電層，暴露出位元線接觸窗。之後，於終止層上形成一第一介電層，並且於第一介電層中形成一溝渠，暴露出一位元線接觸窗。然後，於周邊電路區之介電層中形成一開口，暴露出基底。之後，於溝渠與開口內填入一導電材料，以形成一位元線以及一接觸窗。其中，位元線係與記憶體區中之位元線接觸窗電性連接，且位元線也與周邊電路區中之接觸窗電性連接，而且所形成之位元線接觸窗之尺寸係與位元線之寬度相當。

由於本發明所形成之位元線接觸窗之尺寸較習知位元線接觸窗小，因此可以改善位元線接觸窗與鄰近的位元線之間容易產生短路之問題。

此外，由於本發明於位元線之底下還形成有一終止層，此終止層可以確保記憶底元件上之位元線的厚度能均勻一致。

再者，由於本發明之記憶體元件之周邊電路區中之接觸窗開口係於形成溝渠之後才於溝渠之底下定義出的，因此其深寬比較低，而有較容易形成之優點。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳



五、發明說明 (5)

細說明如下：

實施方式

第3A圖至第3I圖所示，其繪示是依照本發明一較佳實施例之記憶體元件之位元線與位元線接觸窗的製造流程剖面示意圖。

請參照第3A圖，首先提供一基底200，其中基底200具有一記憶胞區230以及一周邊電路區240。接著，在記憶胞區230中形成數個閘極結構208，其中每一閘極結構208具有一閘介電層202、一閘極導電層204以及一頂蓋層206，且在閘極結構208之側壁還包括形成有間隙壁210。在一較佳實施例中，閘介電層之材質202例如是氧化矽，閘極導電層204之材質例如是多晶矽，頂蓋層206之材質例如是氮化矽，而間隙壁210之材質例如是氮化矽。

接著，在基底200上形成一阻障層212，共形的覆蓋在閘極結構208與基底200之表面上。在一較佳實施例中，阻障層212之材質例如是氮化矽。之後，在基底200上形成一圖案化之光阻層214，光阻層214係暴露出其中二相鄰的閘極結構208之間，即預定形成位元線接觸窗之處。之後，以光阻層214為罩幕，移除未被光阻層214覆蓋之阻障層212，而圖案化後之阻障層212a係暴露出預定形成位元線接觸窗處之基底200(如第3B圖所示)。

隨後，將光阻層214移除，再於基底200上形成一導電層216，覆蓋閘極結構208。在一較佳實施例中，導電層216之材質例如是經摻雜之多晶矽。特別值得一提的是，



五、發明說明 (6)

倘若使用經摻雜之多晶矽作為導電層216之材質，經摻雜之多晶矽中的摻雜物會於製程過程中擴散至基底200中，而形成淺摻雜區217。如此一來，基底200表面有被阻障層212a覆蓋之處就不會有摻雜物擴散於其中，而預定形成位元線接觸窗之處(在先前步驟已將該處之阻障層移除)的基底200中，則會形成有淺摻雜區217。

之後，請參照第3C圖，對導電層216進行一平坦化步驟，直到閘極結構208上方之阻障層212a或閘極結構208之頂蓋層206暴露出來。其中，此平坦化步驟例如是進行一化學機械研磨製程。

接著，在導電層216上形成另一圖案化之光阻層217，覆蓋住預定形成位元線接觸窗處之導電層216。之後，以光阻層217為罩幕進行一蝕刻製程，以移除未被光阻層217覆蓋之導電層216，而形成一位元線接觸窗216a(如第3D圖所示)。換言之，保留下之導電層216即為位元線接觸窗216a。

請參照第3E圖，將光阻層217移除，然後在基底200上形成一介電層218，介電層218之表面係與閘極結構208之頂蓋層206之表面共平面。其中，介電層218之材質例如是硼磷矽玻璃(BPSG)等氧化矽材質，而形成介電層218之方法例如是於基底200上沈積一介電材料層(未繪示)，覆蓋閘極結構與位元線接觸窗216a之後，再利用一化學機械研磨法研磨介電材料層，直到閘極結構208之頂蓋層206與位元線接觸窗216a暴露出來。



五、發明說明 (7)

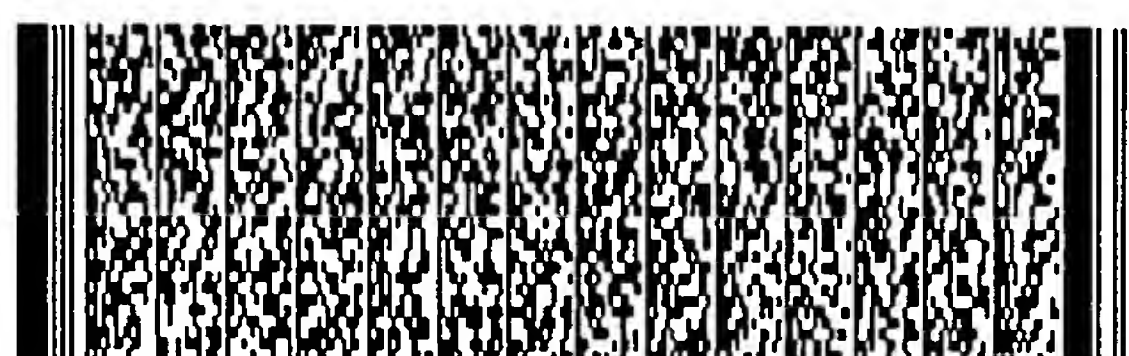
接著，於基底200之上方形形成一終止層220，覆蓋介電層218、閘極結構208與位元線接觸窗216a。在一較佳實施例中，終止層220之材質例如是氮化矽或氮氧化矽。

請參照第3F圖，利用一微影製程以及一蝕刻製程以圖案化終止層220，而形成終止層220a，其中終止層220a係暴露出位元線接觸窗216a。之後，請參照第3G圖，在終止層220a上沈積另一介電層222，其中介電層222與終止層220a之間具有高蝕刻選擇比，換言之，終止層220a之蝕刻速度係低於介電層222之蝕刻速率。在一較佳實施例中，介電層222之材質例如是氧化矽。

請參照第3H圖，利用一微影製程以及一蝕刻製程圖案化介電層222，以在介電層222中形成溝渠圖案224，且溝渠224係暴露出位元線接觸窗216a。在此，由於介電層222之底下係配置有終止層220a上，因此，此蝕刻步驟會自動停止在終止層220a上，如此，便能確保每一溝渠224的深度以及溝渠224中的每一處之深度均一致。

之後，利用另一微影製程以及蝕刻製程移除周邊電路區240中位於溝渠224底下的部分終止層220a、介電層218以及阻障層212a，而形成開口225。

請參照第3I圖，於溝渠224內填入導電材料層，並同時於開口225內填入此導電材料層，而分別形成位元線226與接觸窗228，其中位元線226係與記憶胞區230中之位元線接觸窗216a，且亦與周邊電路區240中之接觸窗228電性接觸。在此，位元線226與接觸窗228之材質例如是金屬



五、發明說明 (8)

鎢，且形成位元線226與接觸窗228之方法例如是先於基底200之上方沈積一層金屬鎢，並填入溝渠224與開口225內之後，再以化學機械研磨法研磨此金屬鎢層，直到介電層222暴露出來。

請參照第4圖，其係為上述之結構於記憶胞區之上視圖。位元線226係橫跨於閘極結構208之上方，且位元線226之間係填有介電層222。特別是，位於位元線226底下之位元線接觸窗216a其尺寸係與位元線226之寬度相當，換言之，位元線接觸窗216a與鄰近的位元線226之間的距離" c "與兩位元線226之間的距離" d "相當。因此，本發明之位元線接觸窗216a之尺寸相較於習知之位元線接觸窗之尺寸要小，如此，位元線接觸窗216a與鄰近的位元線226之間產生短路之問題便可以獲得改善。

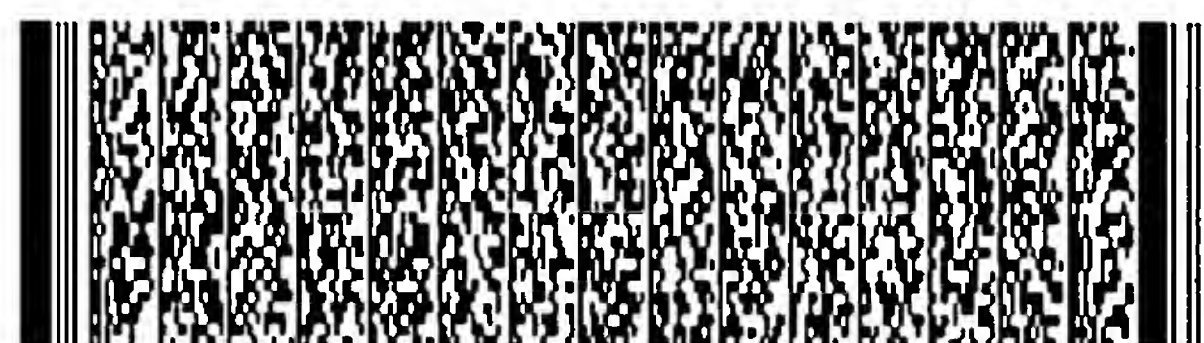
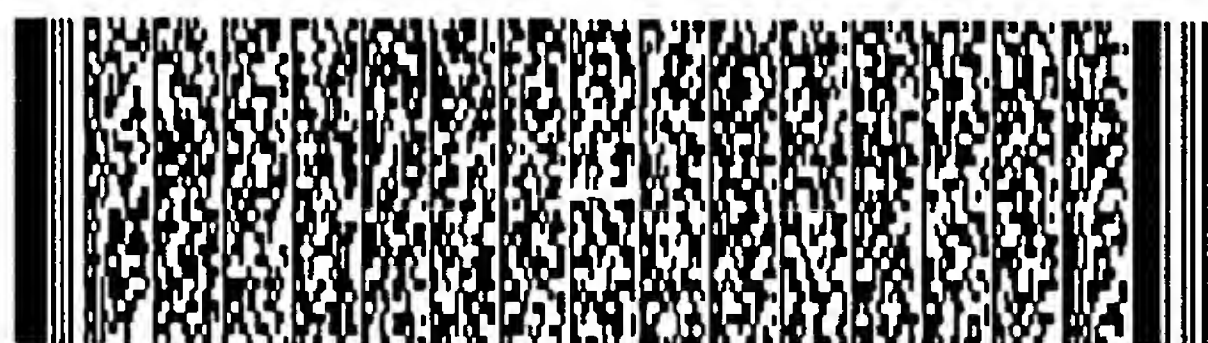
綜合以上所述，本發明具有下列優點：

1. 由於本發明所形成之位元線接觸窗之尺寸較習知位元線接觸窗小，因此可以改善位元線接觸窗與鄰近的位元線之間容易產生短路之問題。

2. 由於本發明於位元線之底下還形成有一終止層，此終止層可以確保記憶底元件上之位元線的厚度能均勻一致。

3. 由於本發明之記憶體元件之周邊電路區中之接觸窗開口係於形成溝渠之後才於溝渠之底下定義出的，因此其深寬比較低，而有較容易形成之優點。

雖然本發明已以較佳實施例揭露如上，然其並非用以



五、發明說明 (9)

限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知記憶體元件中位元線與位元線接觸窗的剖面示意圖；

第2圖是第1圖之上視圖；

第3A圖至第3I圖是依照本發明一較佳實施例之記憶體元件中位元線與位元線接觸窗的製造流程剖面示意圖；以及

第4圖是第3I圖之記憶胞區之上視圖。

圖式標示說明

- 100、200：基底
- 102、202：閘介電層
- 104、204：閘極導電層
- 106、206：頂蓋層
- 108、208：閘極結構
- 110、210：間隙壁
- 112、218、222：介電層
- 114、216a：位元線接觸窗
- 116、226：位元線
- a、b、c、d：距離
- 212、212a：阻障層
- 214、217：光阻層
- 216：導電層
- 220、220a：終止層
- 224：溝渠
- 225：開口



圖式簡單說明

228 : 接觸窗

230 : 記憶胞區

240 : 周邊電路區



六、申請專利範圍

1. 一種記憶體元件之位元線與位元線接觸窗的製造法，包括：

提供一基底，該基底上已形成有複數個閘極結構，其中每一該些閘極結構具有一閘介電層、一閘極導電層、一頂蓋層，且每一該些閘極結構之側壁係形成有一間隙壁；

在該基底上形成一導電層，覆蓋該些閘極結構；

平坦化該導電層，直到該些閘極結構之該頂蓋層暴露出來；

移除部分該導電層，而保留下其中二該些閘極結構之間之該導電層，以形成一位元線接觸窗；

在該基底上形成一介電層，覆蓋該些閘極結構與該位元線接觸窗；

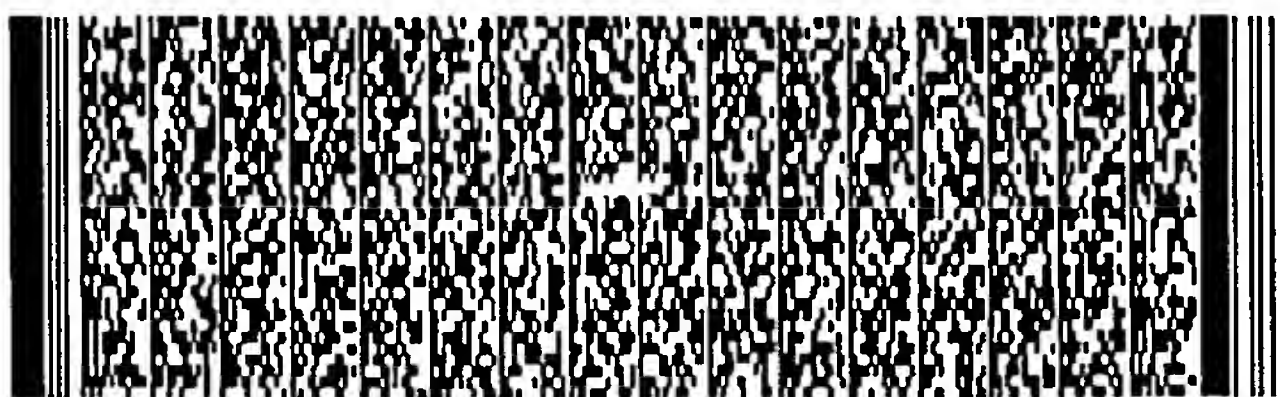
平坦化該介電層，直到該些閘極結構之該頂蓋層與該位元線接觸窗暴露出來；以及

在該介電層上形成一位元線，其中該位元線係與該位元線接觸窗電性連接。

2. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中在該介電層上形成該位元線之前，更包括先在該介電層上形成一終止層，其中該終止層係暴露出該位元線接觸窗。

3. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中在該基底上形成該導電層之前更包括：

在該基底與該些閘極結構之表面上形成一阻障層；以



六、申請專利範圍

及

移除其中二該些閘極結構之間之該阻障層，暴露出該基底表面。

4. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中在該介電層上形成該位元線之步驟包括：

在該介電層上形成一第一介電層；

在該第一介電層中形成一溝渠，該溝渠係暴露出該位元線接觸窗；以及

在該溝渠內填入一導電材料，以形成該位元線。

5. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中平坦化該導電層之方法包括化學機械研磨法。

6. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中平坦化該介電層之方法包括化學機械研磨法。

7. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中所形成之該位元線接觸窗之尺寸係與該位元線之寬度相當。

8. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中該位元線接觸窗之材質包括經摻雜之多晶矽。

9. 如申請專利範圍第1項所述之記憶體元件之位元線與位元線接觸窗的製造方法，其中該位元線之材質包括金



六、申請專利範圍

屬 鎢。

10. 一種記憶體元件的製造方法，包括：

提供一基底，該基底具有一記憶胞區以及一周邊電路區；

在該記憶區中形成複數個閘極結構，其中每一該些閘極結構具有一閘介電層、一閘極導電層以及一頂蓋層，且在每一該些閘極結構之側壁還形成有一間隙壁；

在該基底上形成一導電層，覆蓋該些閘極結構；

平坦化該導電層，直到該些閘極結構之該頂蓋層暴露出來；

移除部分該導電層，而保留下其中二該些閘極結構之間之該導電層，以形成一位元線接觸窗；

在該基底之上方形成一介電層，覆蓋該些閘極結構與該位元線接觸窗；

平坦化該介電層，直到該些閘極結構之該頂蓋層與該位元線接觸窗暴露出來；

在該介電層上形成一位元線，並同時於該周邊電路區中之該介電層中形成一接觸窗，其中該位元線係與該位元線接觸窗以及該接觸窗電性連接。

11. 如申請專利範圍第10項所述之記憶體元件的製造方法，其中在該介電層上形成該位元線之前更包括在該介電層上形成一終止層，該終止層係暴露出該位元線接觸窗。

12. 如申請專利範圍第10項所述之記憶體元件的製造



六、申請專利範圍

方法，其中在該基底上形成該導電層之前更包括：

在該基底與該些閘極結構之表面上形成一阻障層；以及

移除其中二該些閘極結構之間之該阻障層，暴露出該基底表面。

13. 如申請專利範圍第10項所述之記憶體元件的製造方法，其中平坦化該導電層之方法包括化學機械研磨法。

14. 如申請專利範圍第10項所述之記憶體元件的製造方法，其中平坦化該介電層之方法包括化學機械研磨法。

15. 如申請專利範圍第10項所述之記憶體元件的製造方法，其中所形成之該位元線接觸窗之尺寸係與該位元線之寬度相當。

16. 如申請專利範圍第10項所述之記憶體元件的製造方法，其中形成該位元線與該接觸窗之步驟包括：

在該基底上形成一第一介電層，覆蓋該介電層、該位元線接觸窗與該些閘極結構；

在該第一介電層中形成一溝渠，該溝渠係暴露出該位元線接觸窗；

在該周邊電路區中該溝渠底下該介電層中形成一開口，該開口係暴露出該基底；以及

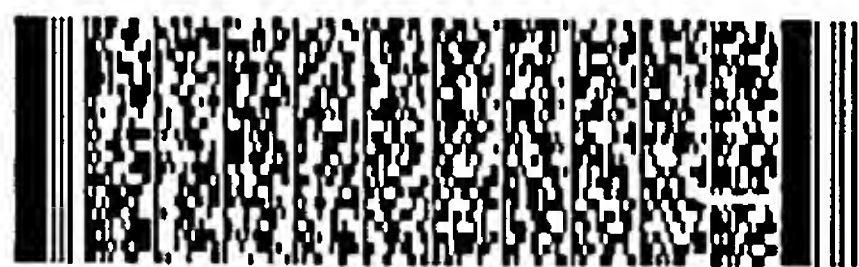
在該溝渠與該開口內填入一導電材料層，以形成該位元線與該接觸窗。

17. 如申請專利範圍第10項所述之記憶體元件的製造方法，其中該位元線接觸窗之材質包括經摻雜之多晶矽。

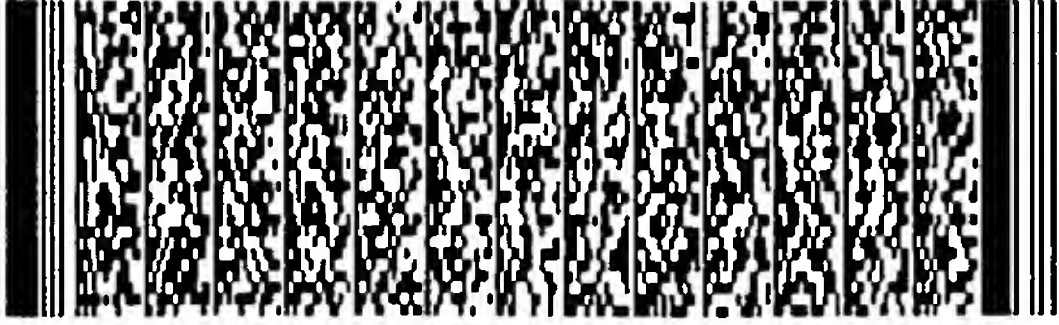


六、申請專利範圍

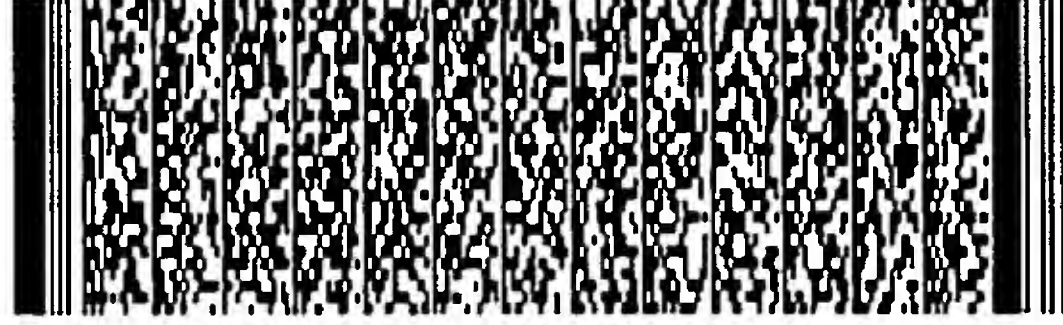
18. 如申請專利範圍第10項所述之記憶體元件的製造方法，其中該位元線之材質包括金屬鎢。



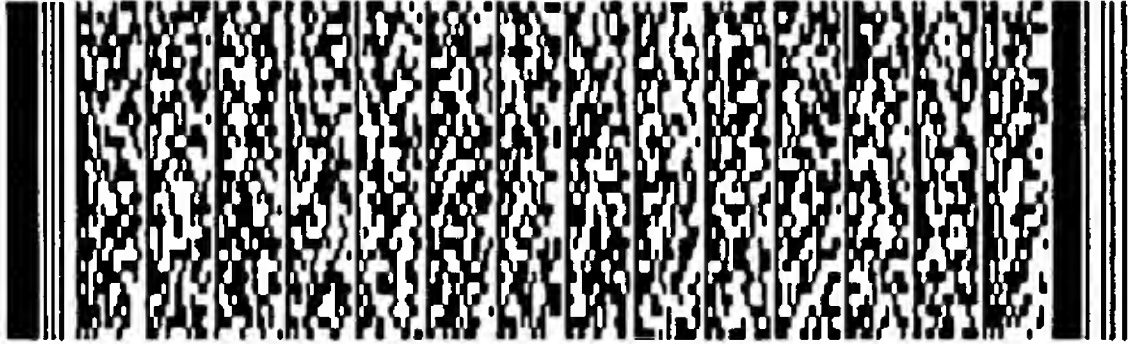
第 1/20 頁



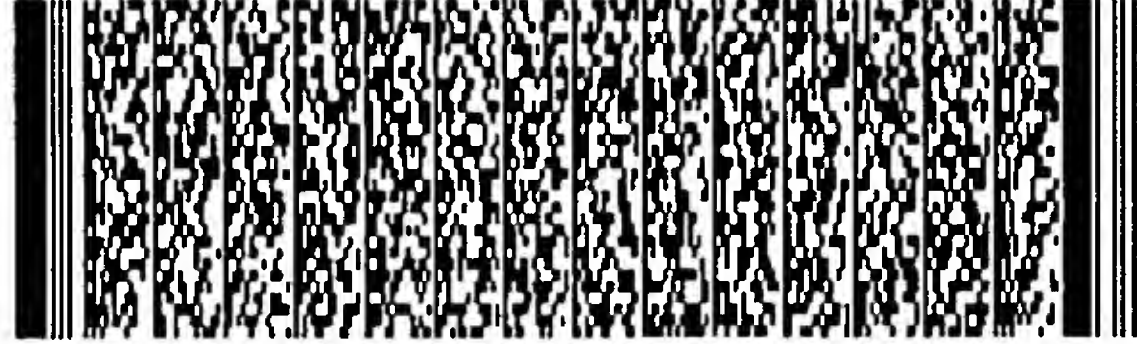
第 1/20 頁



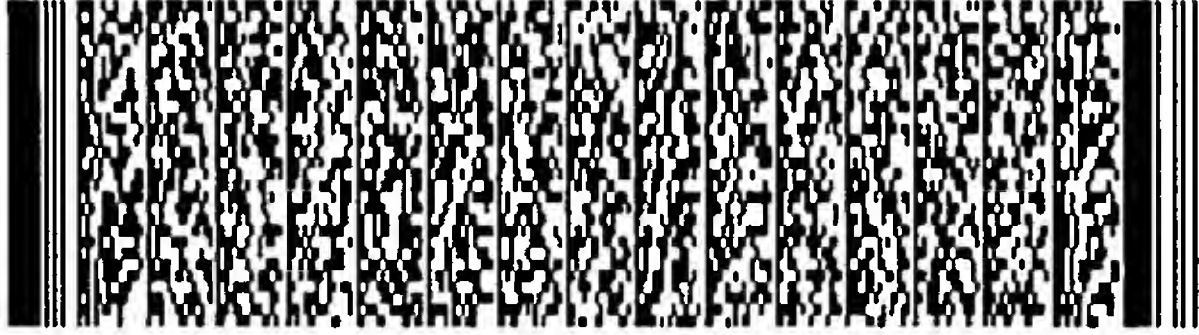
第 2/20 頁



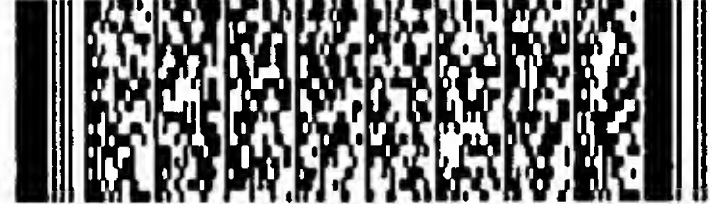
第 2/20 頁



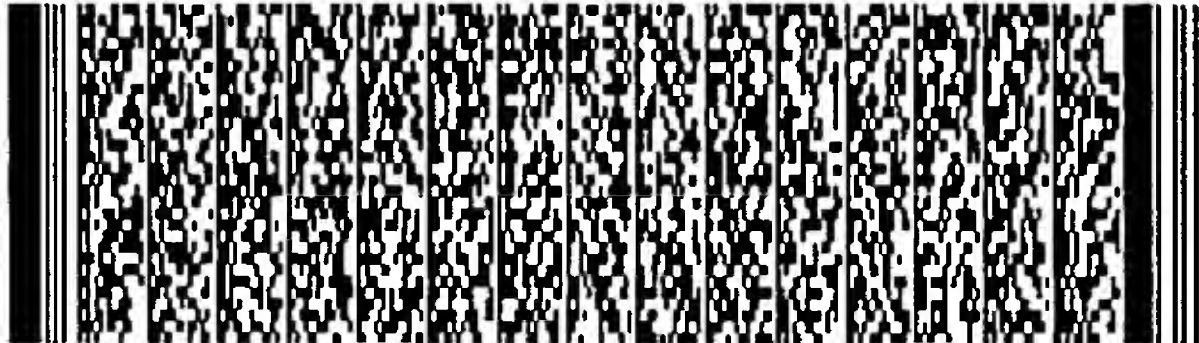
第 3/20 頁



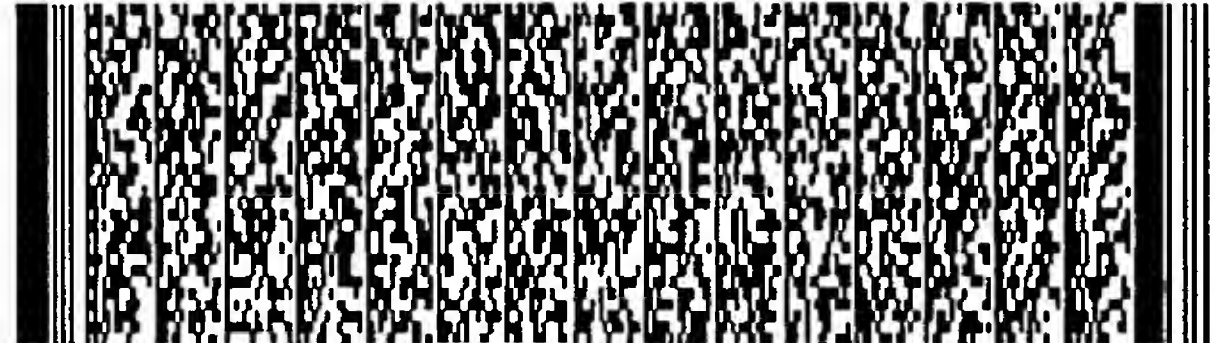
第 4/20 頁



第 5/20 頁



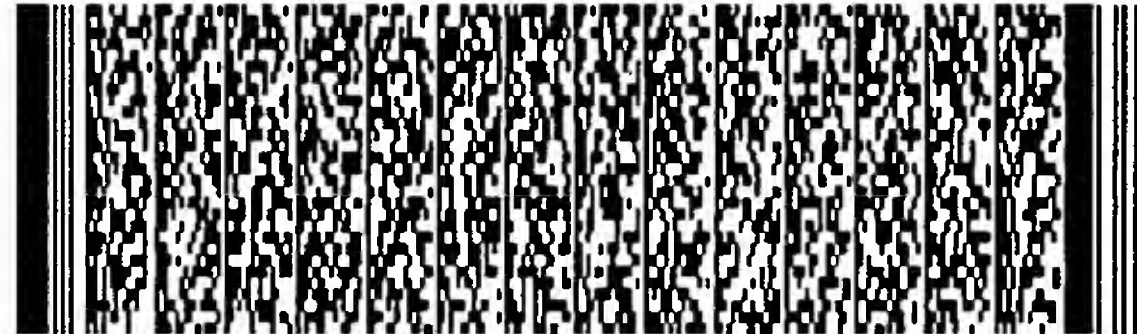
第 5/20 頁



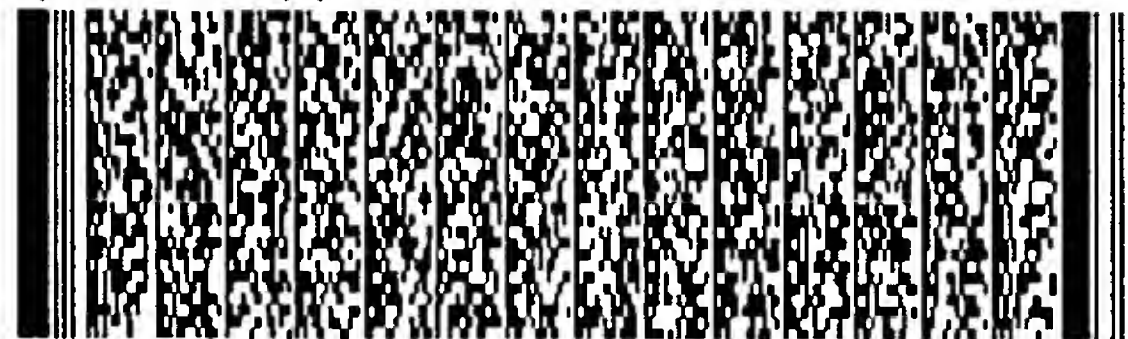
第 6/20 頁



第 6/20 頁



第 7/20 頁



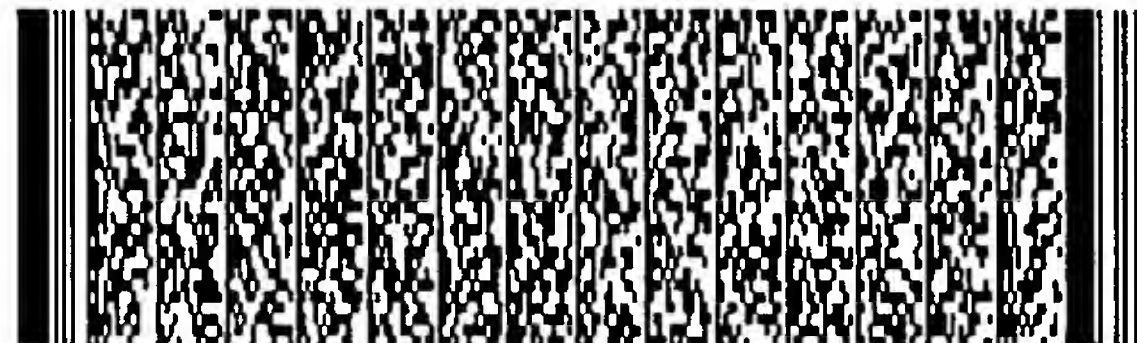
第 7/20 頁



第 8/20 頁



第 8/20 頁



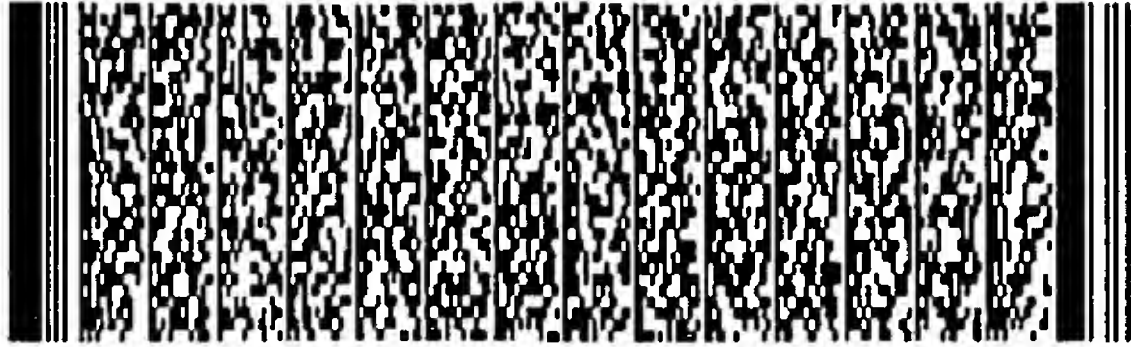
第 9/20 頁



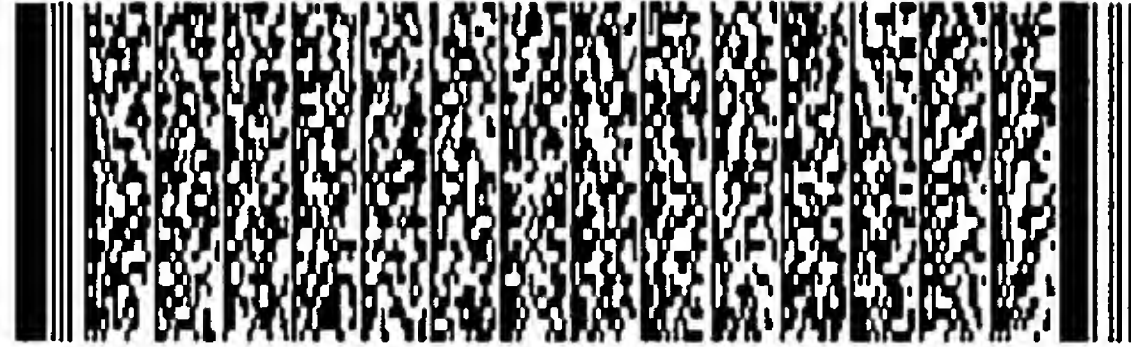
第 9/20 頁



第 10/20 頁



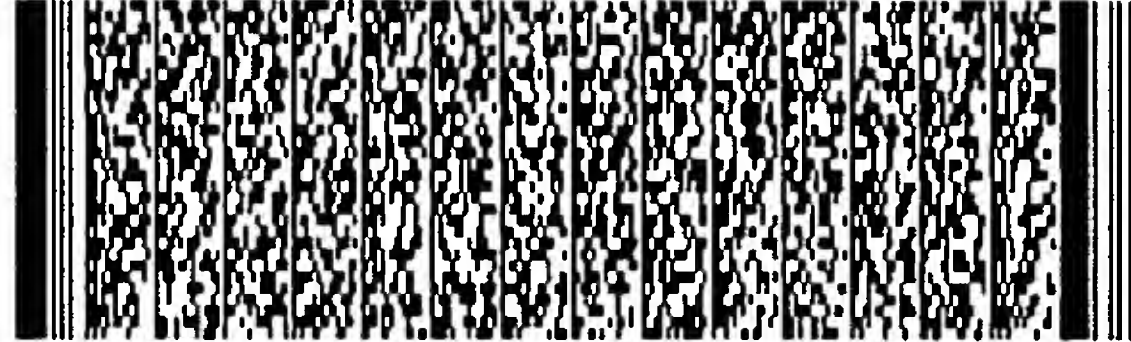
第 10/20 頁



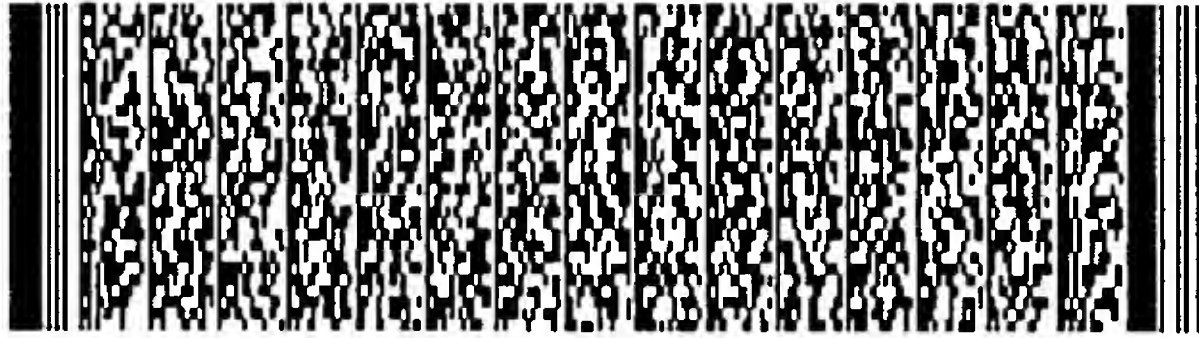
第 11/20 頁



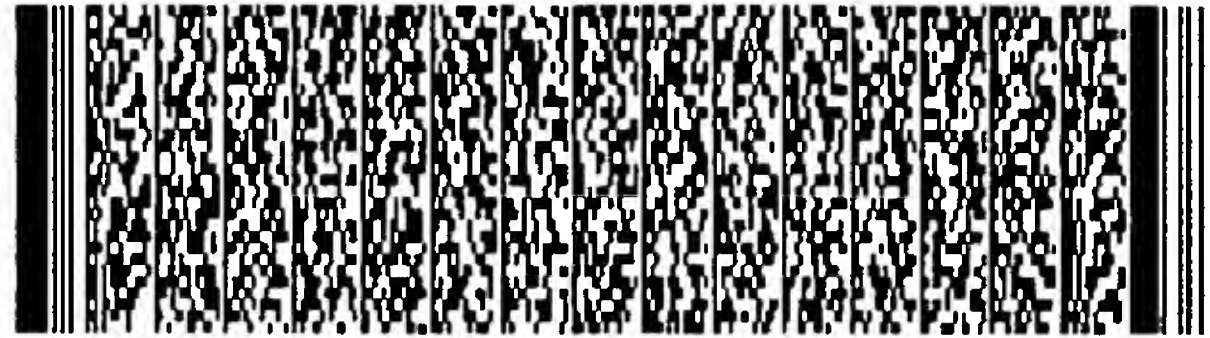
第 11/20 頁



第 12/20 頁



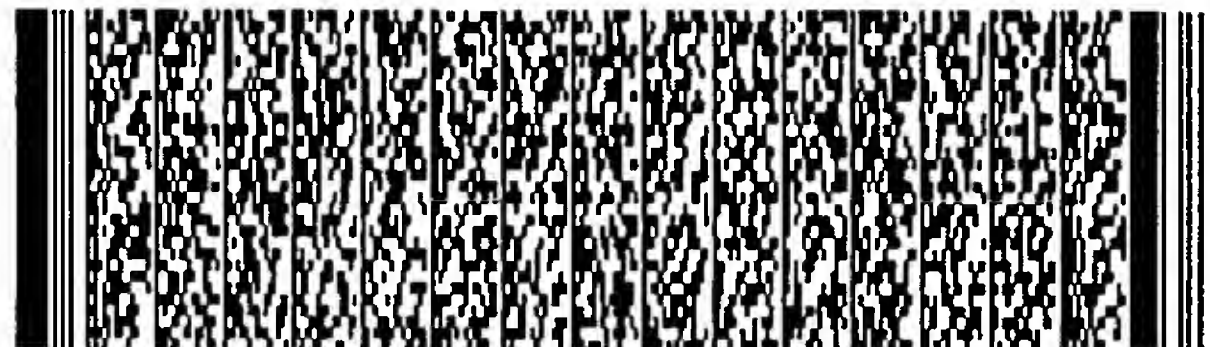
第 12/20 頁



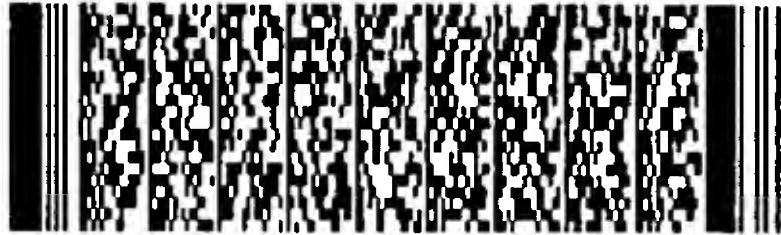
第 13/20 頁



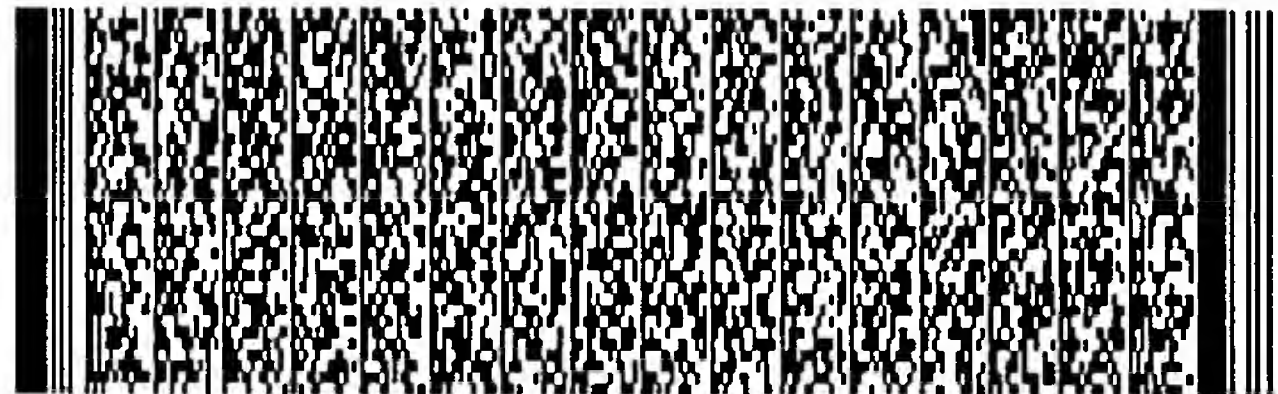
第 14/20 頁



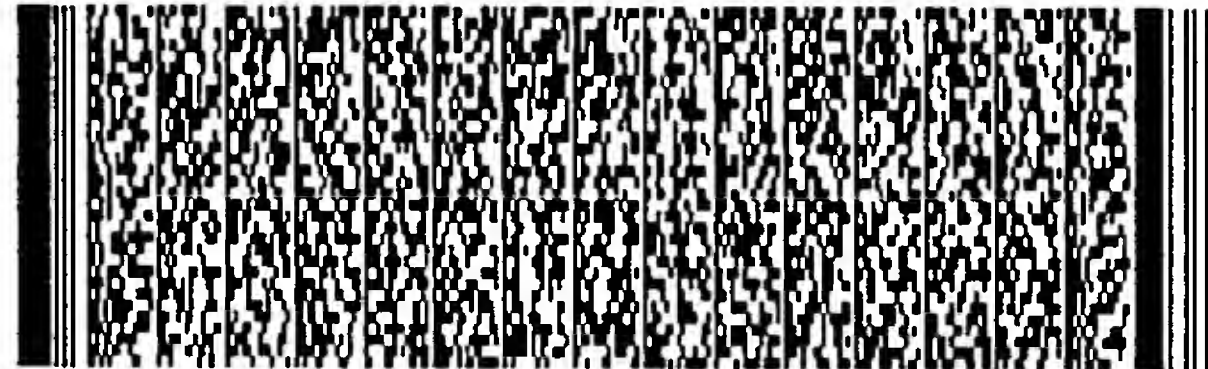
第 15/20 頁



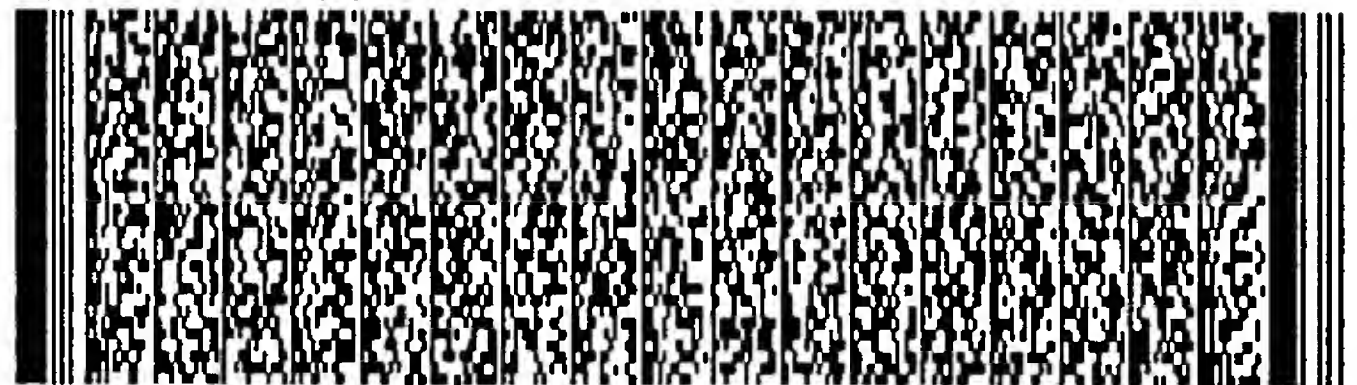
第 16/20 頁



第 17/20 頁



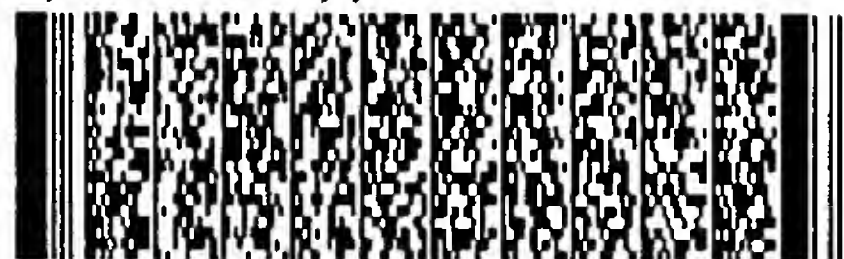
第 18/20 頁

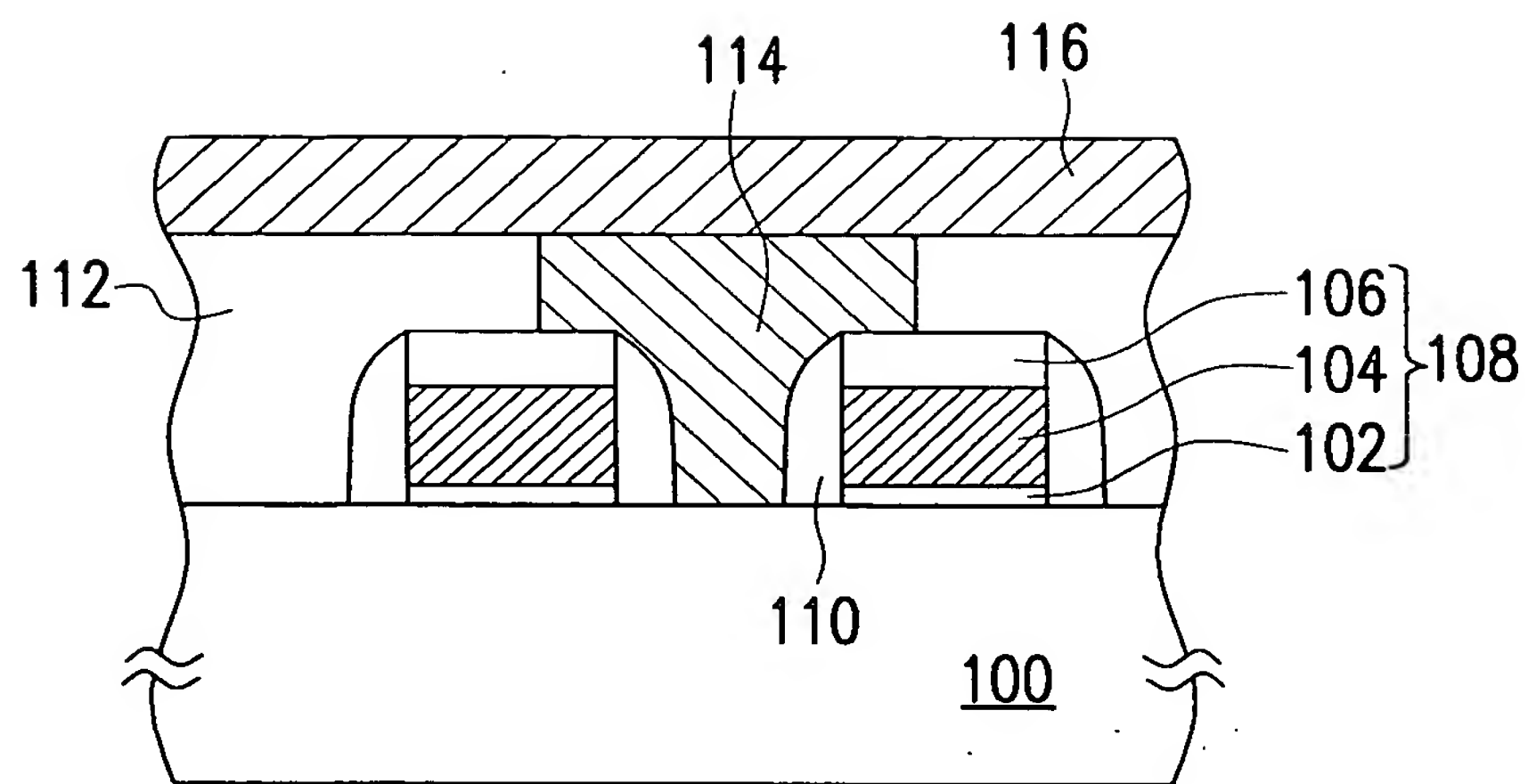


第 19/20 頁

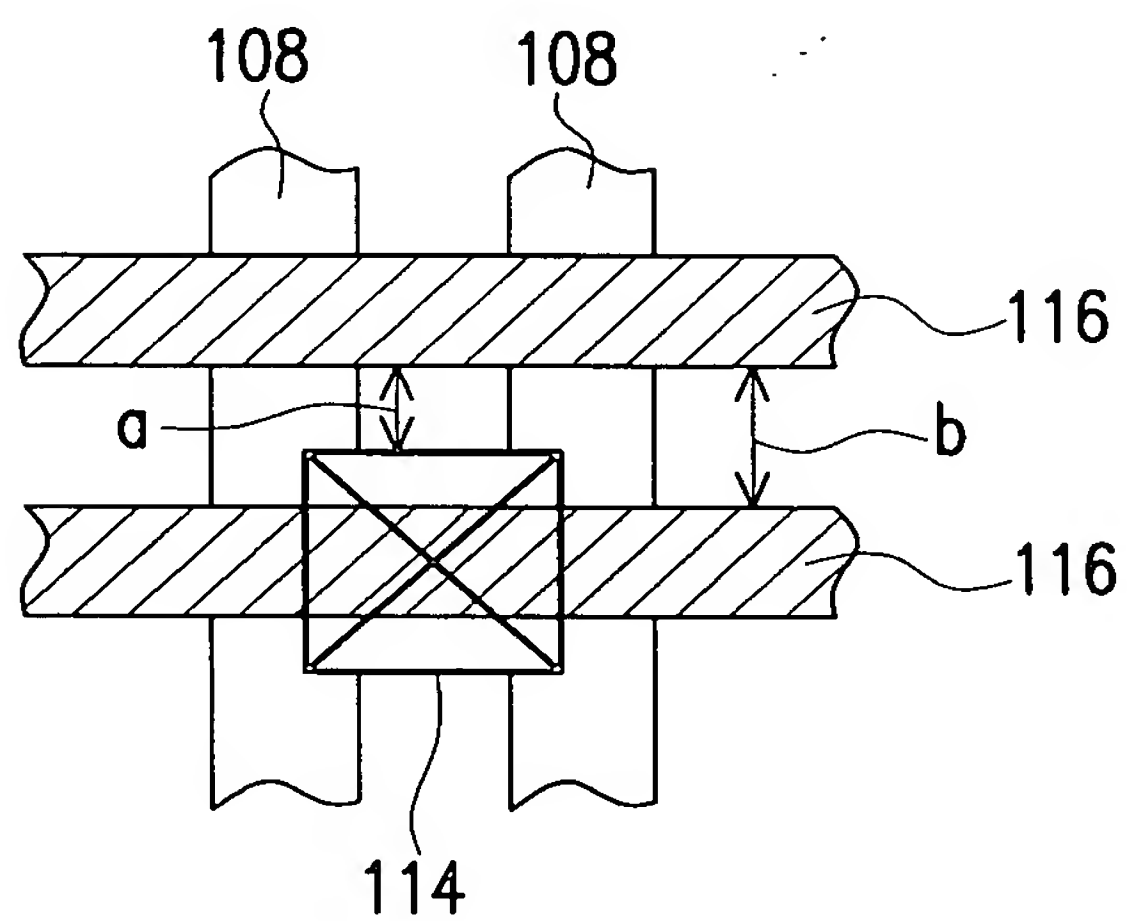


第 20/20 頁

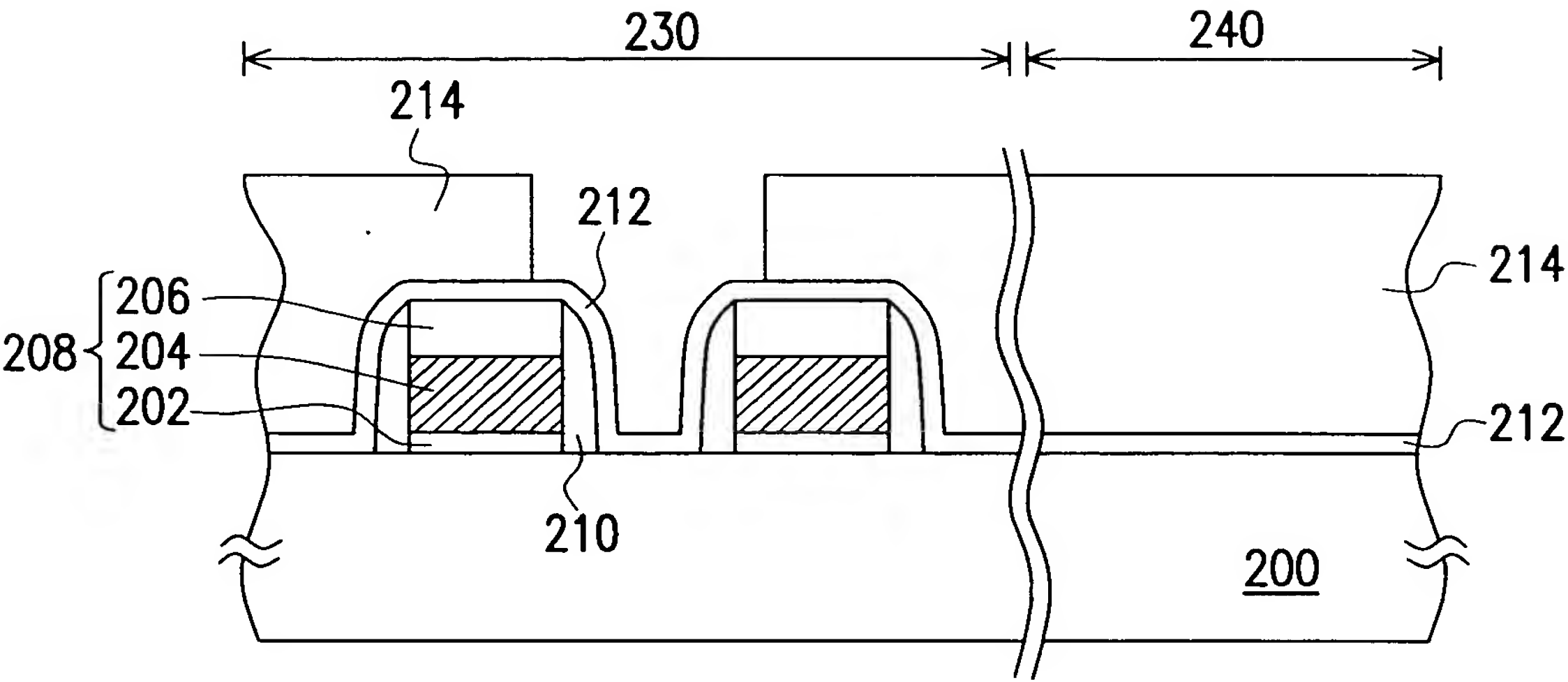




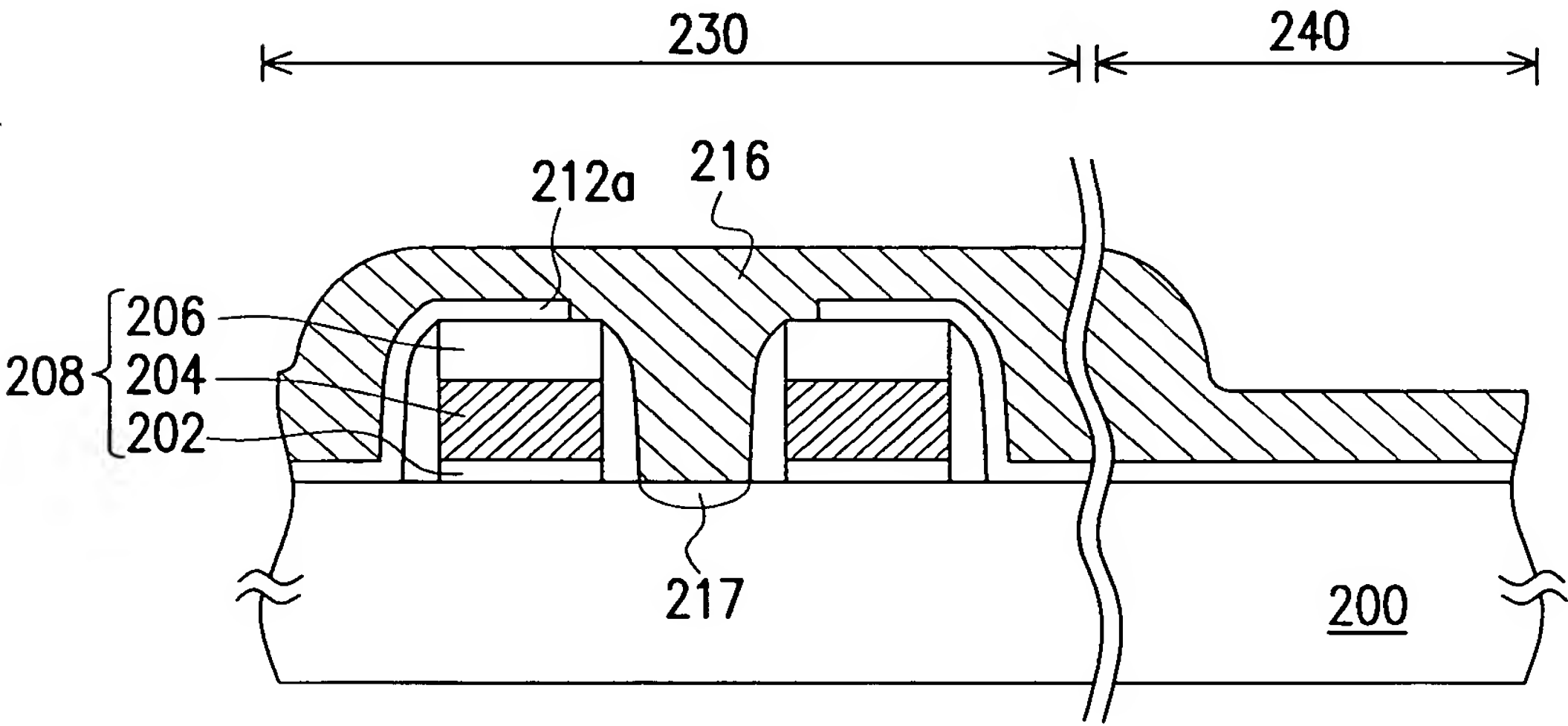
第 1 圖



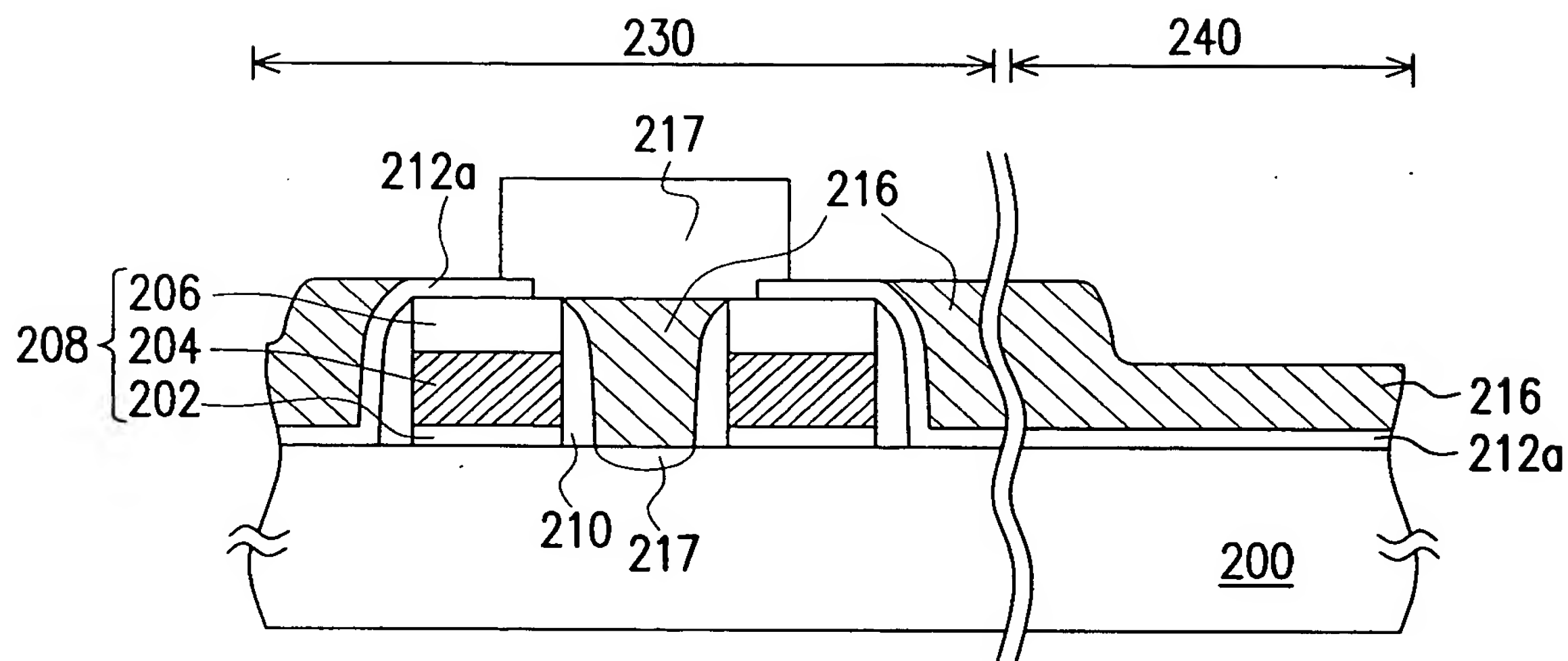
第 2 圖



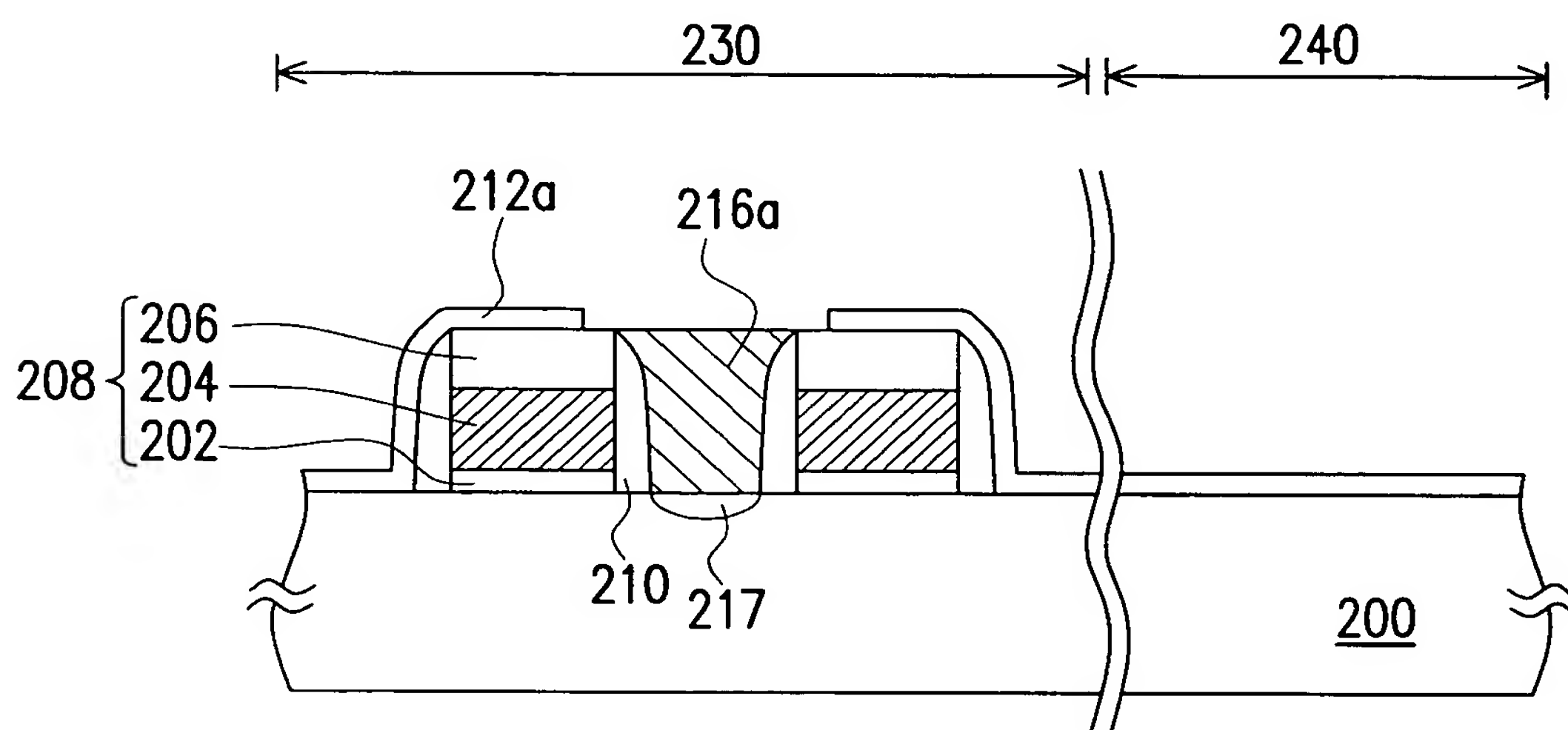
第 3A 圖



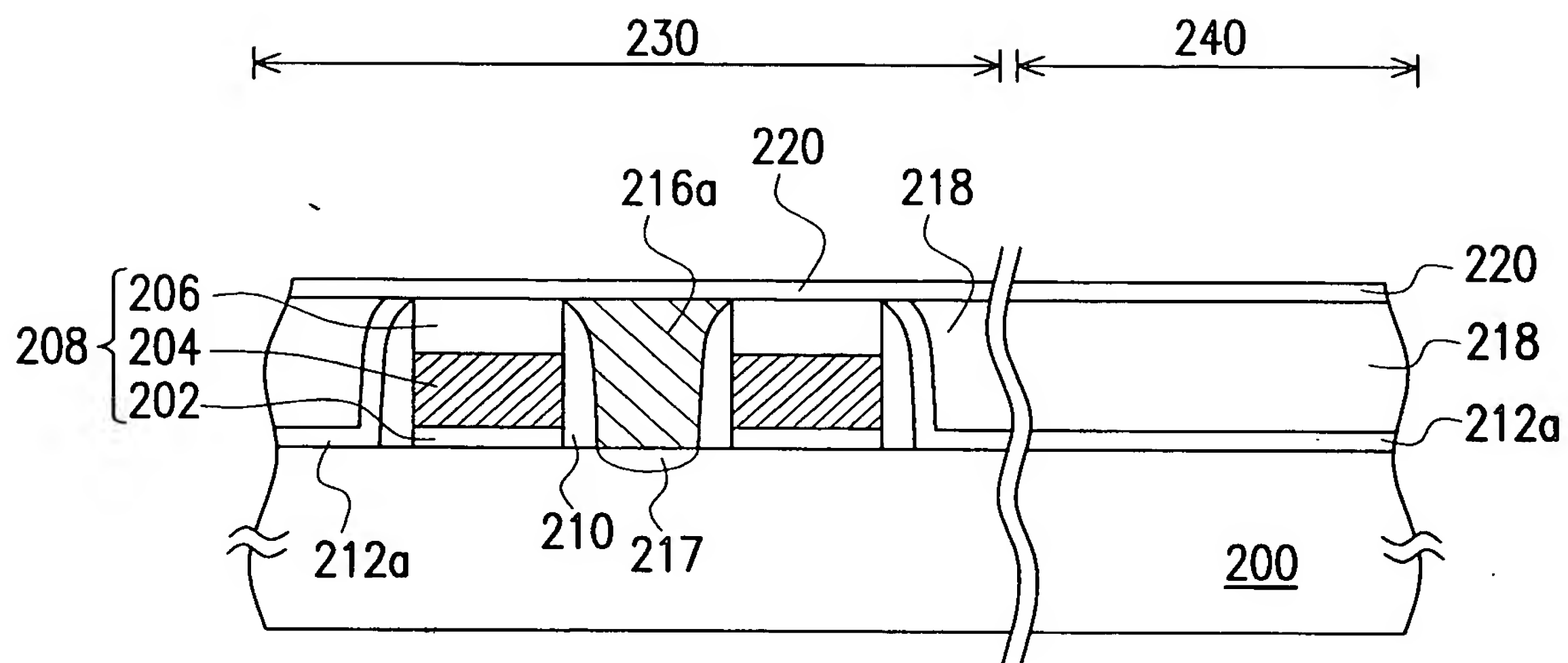
第 3B 圖



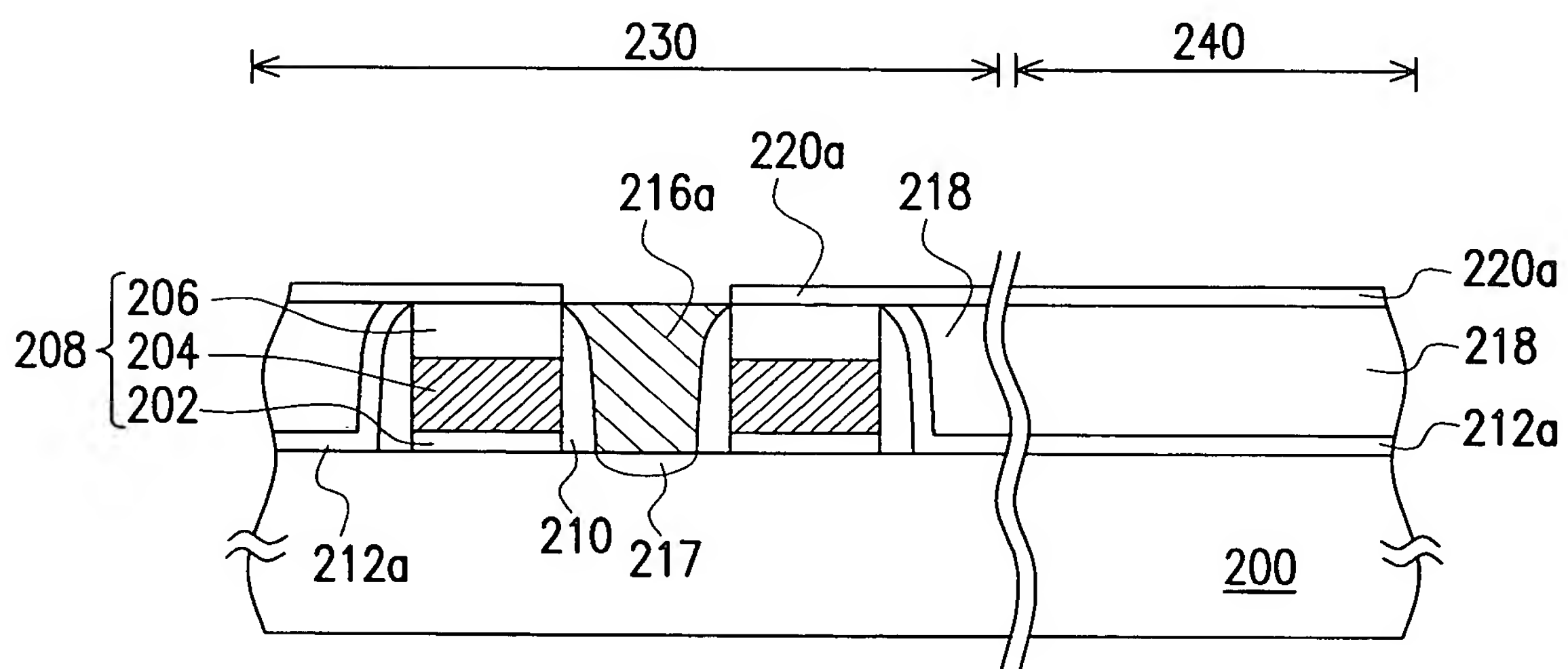
第 3C 圖



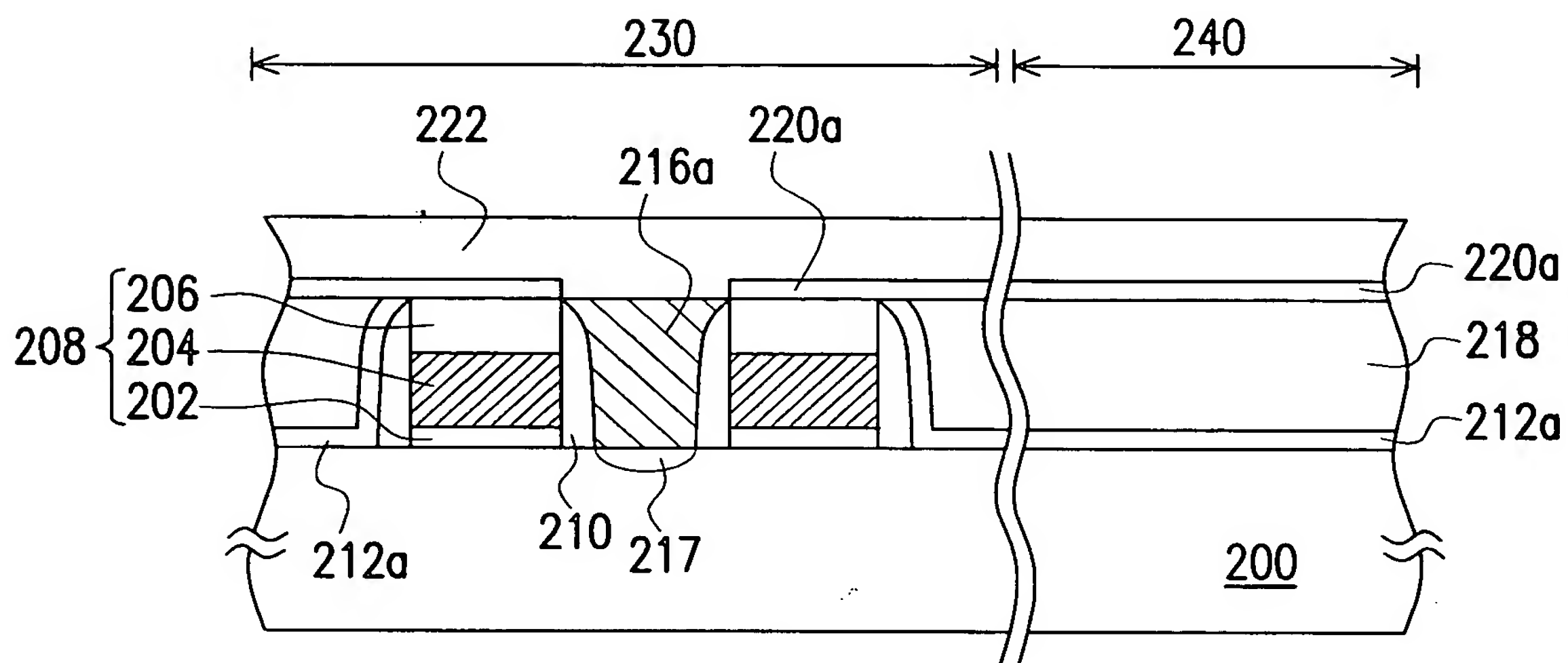
第 3D 圖



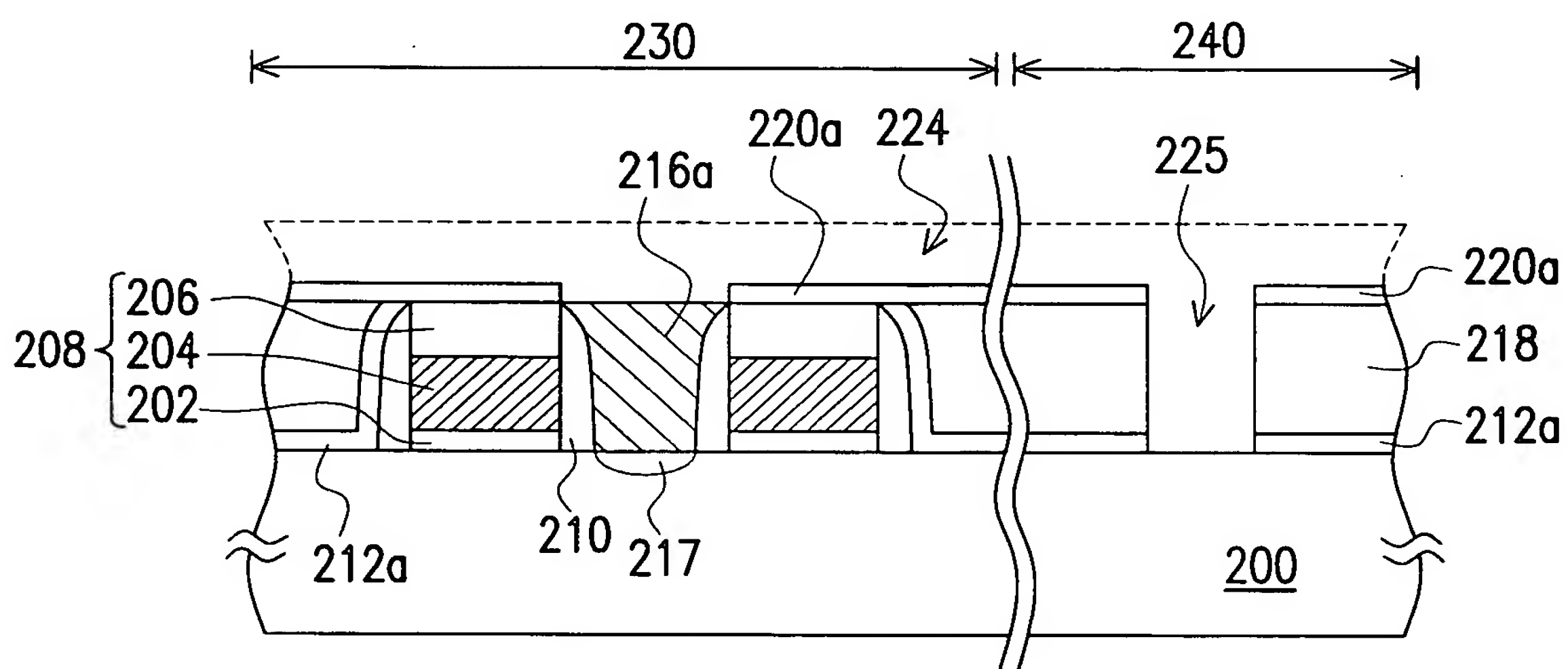
第3E圖



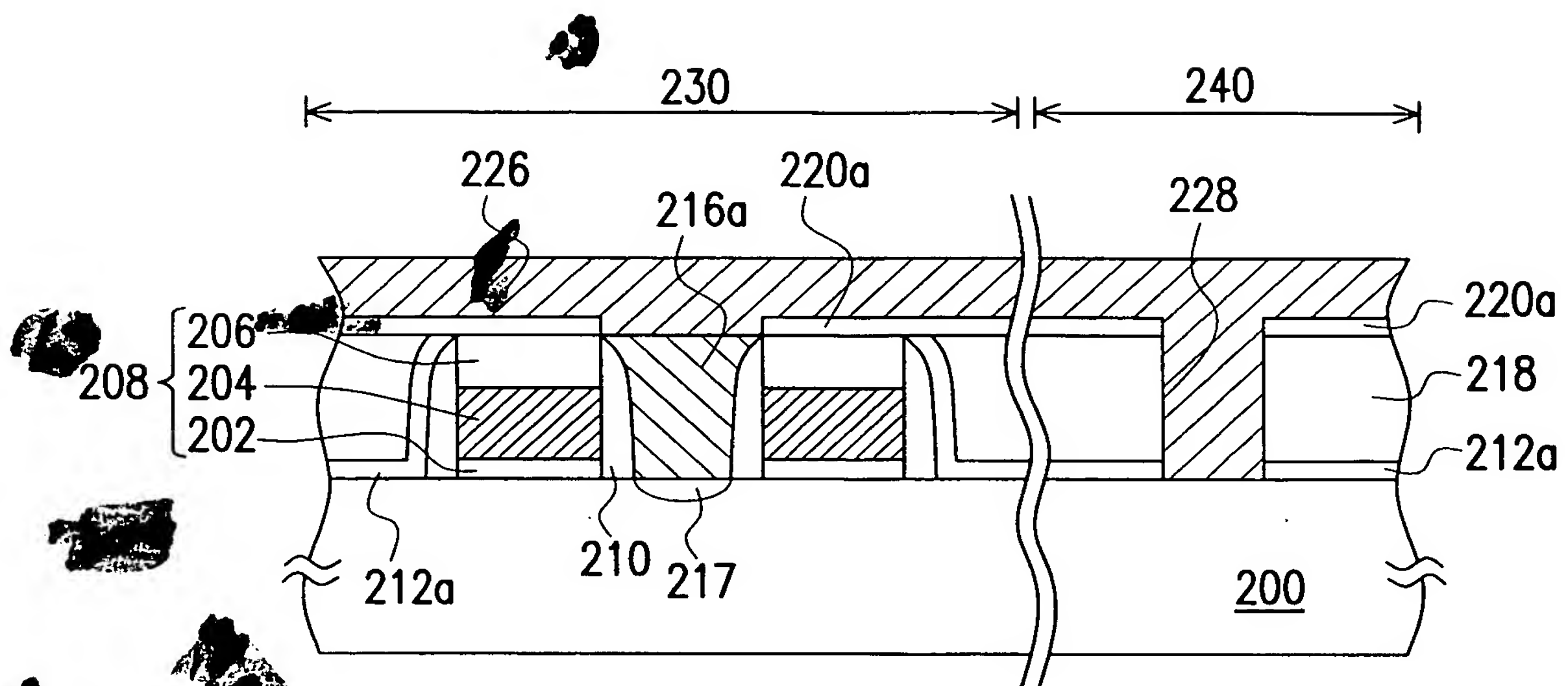
第3F圖



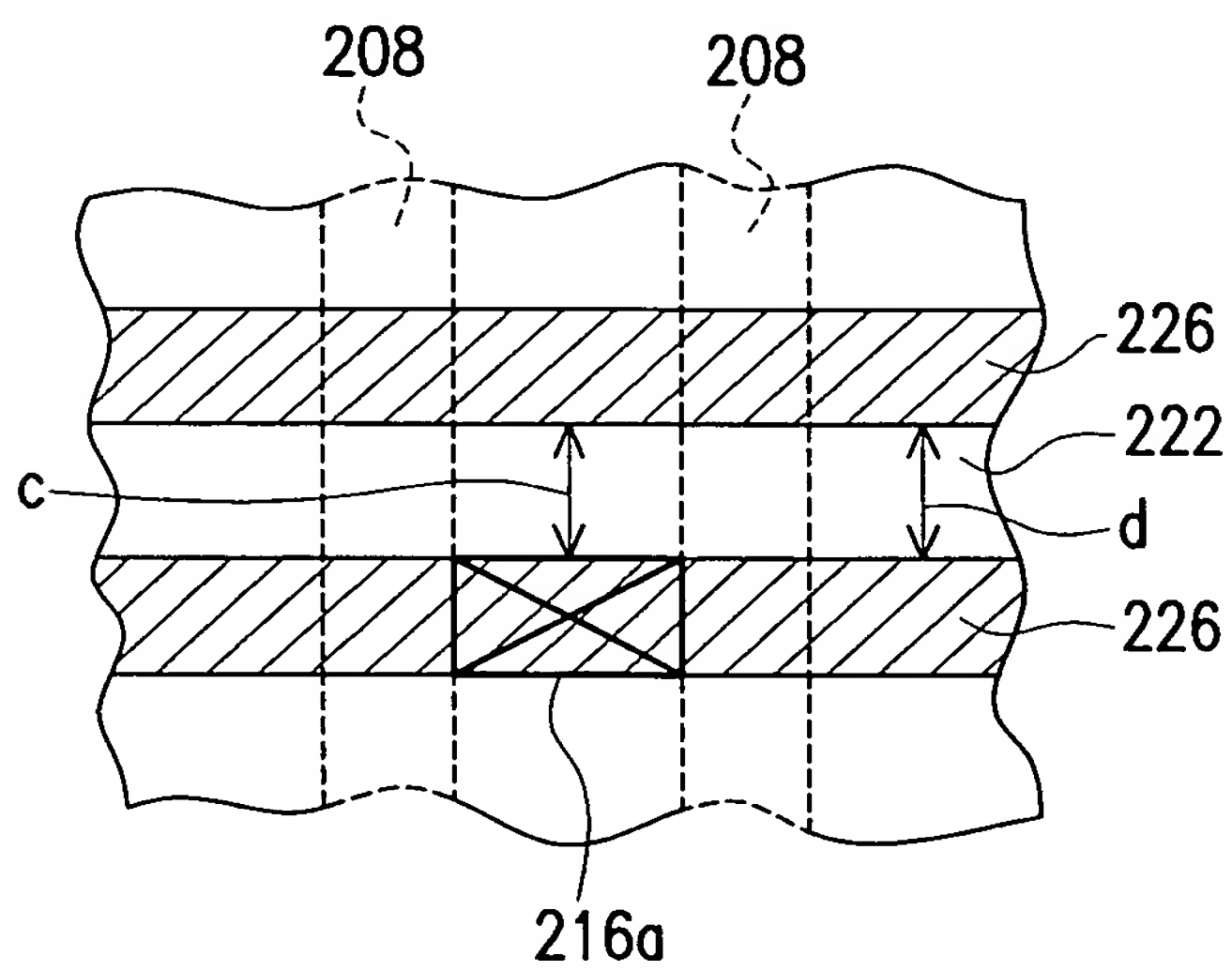
第 3G 圖



第 3H 圖



第 31 圖



第 4 圖